

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-148685

(43)公開日 平成6年(1994)5月27日

(51)Int.Cl.  
G 0 2 F 1/136  
H 0 1 L 29/784

識別記号  
5 0 0  
9018-2K  
9056-4M  
9056-4M

序内整理番号  
H 0 1 L 29/78

F I

3 1 1 S  
3 1 1 G

技術表示箇所

審査請求 未請求 請求項の数 1(全 6 頁)

(21)出願番号

特願平4-303555

(22)出願日

平成4年(1992)11月13日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中園 卓志

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 吉橋 英生

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

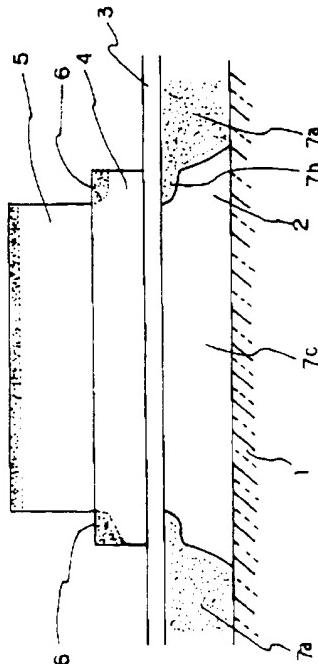
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 2度のイオン打ち込みを行わずにLDD構造を形成することができ、またドレインリーク電流値を下げることができる。

【構成】 絶縁基板と、該基板上に形成されたスイッチング用の多結晶シリコン薄膜トランジスターを含む画素部と、この画素部に隣接して形成され、画素部を駆動する多結晶シリコン薄膜トランジスターを含む駆動回路部とを有する薄膜トランジスターアレイ基板を少なくとも有する液晶表示装置において、多結晶シリコン薄膜トランジスターが、上層および下層の2層構造からなるゲート電極を有し、下層のゲート電極の面積が前記上層のゲート電極の面積より広く、かつ上層のゲート電極の面積より広い下層部分の下層のみとなるゲート電極の直下領域における多結晶シリコン層の電荷濃度が、チャネル領域と、ソース、ドレイン領域の中間濃度である。



### 【特許請求の範囲】

【請求項1】 絶縁基板と、該基板上に形成されたスイッチング用の多結晶シリコン薄膜トランジスターを含む画素部と、前記画素部に隣接して形成され、

前記画素部を駆動する多結晶シリコン薄膜トランジスターを含む駆動回路部とを有する薄膜トランジスターアレイ基板を少なくとも2つ有する液晶表示装置において、

前記多結晶シリコン薄膜トランジスターが、ゲート電極として上層および下層の二層構造からなるゲート電極を有し、前記下層のゲート電極の面積が前記上層のゲート電極の面積より広く、かつ前記上層のゲート電極の面積より広い下層部分の下層のみよりなるゲート電極の直下領域における多結晶シリコン層の電荷濃度が、チャネル領域と、ソース、ドレイン領域の中間濃度であることを特徴とする液晶表示装置。

### 【発明の詳細な説明】

#### 【0001】

【産業上の利用分野】 本発明は表示装置に関し、特に多結晶シリコン薄膜トランジスターのドレインリーキ電流値を下げることができると共に、生産効率を高めることができる液晶表示装置に関する。

#### 【0002】

【従来の技術】 近年、液晶表示装置は、薄型軽量、低消費電力という大きな利点をもつたため、液晶テレビ、日本語ワードプロセッサやディスクトップパソコン、ビューワ等のOA機器の表示装置に積極的に用いられている。それと共に、多結晶シリコンを活性層に使用した薄膜トランジスターもしくは薄膜トランジスターアレイを応用した液晶表示装置の開発が表示特性の向上を目的に活発になされている。

【0003】 従来、多結晶シリコンを活性層に使用した薄膜トランジスターは液晶表示装置の表示部である画素部のスイッチング素子や薄膜トランジスターを集積し画素部スイッチング素子の駆動回路へ応用されている。すなわち、画素中で液晶への電圧印加用の画素部薄膜トランジスターと、この画素部薄膜トランジスターを駆動するための駆動回路部薄膜トランジスターとの応用である。

【0004】 ところで、現在の液晶表示装置の開発は、画素を微細化することにより画素数を増やし、そして、それらを高速で動作させる方向にある。この開発方向に対応して上述の薄膜トランジスターは、次の特性が要求されている。

- 1) ゲート遅延をなくすために、ゲート配線の抵抗を下げる。
- 2) 薄膜トランジスターのドレインリーキ電流を減少させる。

【0005】 1)に関しては、たとえば、金属線やシリカイトを使用する技術が知られている。この技術は、通常、活性層との仕事関数を合わせるために電気的不純物

を添加した多結晶シリコンを下層として、上層に上述の金属線もしくはシリカイトを形成して低抵抗化する2層構造が検討されている。この構成によ、ゲート配線による信号の遅延を減少させている。

【0006】 2)に関しては、ときに画素の薄膜トランジスターにたいしてドレインリーキ電流の低減が要求されている。これは、ドレインリーキ電流がトランジスター動作時のFET側で発生するため、通常のO/IのFETのマイナチング機能を充実果たさなくなり、また液晶表示装置に使用すると画素の電気信号を保持できなくなるため、コントラストが劣化し、液晶表示装置の画質に多くの影響がでるためである。このドレインリーキ電流が発生する原因是、薄膜トランジスターのゲート、ドレイン間に電場が集中するために、活性層多結晶シリコン中のシリコン結合の欠陥のうち、とくに未結合手による欠陥があると、ドレイン接合部で異常なリーキ電流が発生することにある。ドレイン接合部で異常なリーキ電流が発生するのは、つきの理由による。通常、ゲート、ドレインはゲートをマスクとしてオシ打込み装置で接合層に必要なイオンを打込み自己整合的に形成する。そのため、電荷分布はゲート端から急激に立ち上がる。電場の分布は電荷の分布に比例するため、ドレイン近傍では急激に電場が立ち上ることとなる。この電場によりチャネルとドレイン接合部でトランジスト電流が流れ、異常なリーキ電流として観測される。

【0007】 異常なリーキ電流の発生を防止する方法として、LDD (Lightly Doped Drain) といふ技術が知られている。このLDD技術は、ドレイン部近傍の電荷分布を徐々に変化させてドレイン接合部を構成する技術である。電荷分布が徐々に変化するため、接合部の接合電場も徐々に変化し異常なリーキ電流が流れなくなる。このため、このLDD技術を使用して作製された多結晶シリコン薄膜トランジスターを用いた液晶表示装置は液晶テレビ、OA機器等に多用されている。

#### 【0008】

【発明が解決しようとする課題】 しかししながら、このLDD技術は、接合部の電荷分布を徐々に変化させるため、通常はイオン打込みの工程をLDD部の低濃度の打込みと2度に分けて行わなければならないという問題がある。

【0009】 さらに、低濃度側の打込みは通常ゲートマスクで行うが、高濃度側はゲート直下よりオシ打込みが必要があることより、必ず何かのマスクが必要となる。通常、このマスクは、レジストや酸化膜等を使用するが、製造工程が複雑になることは避けられなく、そのため製造歩留りを落とす等の問題がある。

【0010】 本発明は、このような問題を解決するためになされたもので、LDD構造を1度のオシ打込みを行わずに形成することができ、またドレインリーキ電流値を下げることができる液晶表示装置を提供すること

を目的とする。

#### 【0011】

【課題を解決するための手段】本発明の液晶表示装置は、絶縁基板上、該基板上に形成されたスイッチング用の多結晶シリコン薄膜トランジスターを含む画素部と、この画素部に隣接して形成され、画素部を駆動する多結晶シリコン薄膜トランジスターを含む駆動回路部とを有する薄膜トランジスタアレイ基板を少なくとも有する液晶表示装置において、多結晶シリコン薄膜トランジスターが、ゲート電極として上層および下層の2層構造からなるケート電極を有し、下層のゲート電極の面積が前記上層のゲート電極の面積より広く、かつ上層のゲート電極の面積より広い下層部分の下層のみよりもなるゲート電極の直下領域における多結晶シリコン層の電荷濃度が、チャネル領域と、ソース、ドレイン領域の中間濃度であることを特徴とする。

【0012】本発明に係わる多結晶シリコン薄膜トランジスターのゲート電極は、上層および下層の2層構造からなるが、上層は下層に比べてその電気抵抗値が低い物質からなることが好ましい。これは、2層構造とした場合、その電気抵抗値は電気抵抗の低い層で決まるため、上層にシリコンの金属化合物のような低抵抗物質からなる層を設けることにより、低抵抗ゲート電極を得ることができるためである。さらに、上層は耐薬品性や耐熱性を保持するための働きもする。

【0013】また、下層の層厚は、ソース、ドレイン形成のためのイオン打ち込みに際して、多結晶シリコン層の電荷濃度が濃度勾配を有しチャネル領域と、ソース、ドレイン領域の中間濃度となるような層厚であればよい。多結晶シリコン層の電荷濃度の濃度勾配を得るために、他の要因は上層の形状の寸法と下層の形状の寸法との差である。本発明にあっては、下層が上層の寸法形状より数mm張り出している張り出し部を有することが好ましい。上述のゲート電極構造をマスクとしてイオン打ち込みをすることにより、ドレイン近傍の電荷分布をなだらかな分布とすることができます。

【0014】本発明の液晶表示装置は、次のようにして作られる。絶縁基板材料には無アルカリガラス、石英などが使用できる。この基板上に公知の方法で多結晶シリコン膜を形成する。すなわち、まず基板上に減圧VD、プラズマVD装置を用いたアモリファシリコン層を堆積し、ついで約600℃の温度で熱処理を行うことにより多結晶シリコン層とする。その後、フォトリソグラフィー工程およびエッチング工程を経て所定の形状に加工する。多結晶シリコン層表面を熱酸化してゲート酸化膜を形成した後、その上に2重の膜構造によるゲート配線を形成する。2重の膜構造の形成は、下層膜のエッチング速度より上層膜のエッチング速度が速いエッチング方法を用いることが好ましい。たとえば、加工ガスとしてSF<sub>6</sub>、Cl<sub>2</sub>等を用いた、RIE (Reaction

Ionization Plasma Etching) を使用することが好ましい。その後、このケート電極をマスクとしてノード、ドレイン領域を自己整合的に形成する。その表面に第1層間絶縁膜を形成し、その膜に一部をコンタクトホールとして開口し、その部分で金属配線が薄膜トランジスターの各端子と接触する。

【0015】液晶表示装置とするために、さらには、第2層間絶縁膜を形成し、コアクロードホールを形成する。そこを介して、透明電極を形成し画素電極とする。この基板を薄膜トランジスタアレイ基板と称する。その後、この薄膜トランジスタアレイ基板を、対向基板と合わせ、そのギャップ部に液晶を注入し、液晶セルを構成する。そして、外装アセンブリを形成して本発明の液晶表示装置を得る。

#### 【0016】

【作用】本発明の液晶表示装置に係わる多結晶シリコン薄膜トランジスターのゲート配線は、低抵抗配線を上部に有する2層構造で、かつゲート配線の端部が階段状になっているため、このゲート配線をマスクとして自己整合的にイオン打ち込みを行うことにより、ドレイン近傍の電荷分布をなだらかにすることが可能である。ドレイン近傍の電荷分布がなだらかになると、電場の集中が防止できることになる。そのため、ドレインノード電流が減少する。

【0017】また、ゲート配線の上部の金属配線は低抵抗ゲート配線を可能とする。

#### 【0018】

【実施例】本発明の実施例を図1から図4に基づき説明する。図1は本実施例の液晶表示装置に使用した薄膜トランジスターのゲート部分の断面図である。石英基板1上に多結晶シリコンを1000Åの膜厚に形成して薄膜トランジスターの活性層とした。この多結晶シリコン活性層とは、原料ガスにシリコンガスを使用し、減圧CVD法により非晶質シリコンを形成し、その後熱処理を施し、多結晶シリコンを形成したものである。その後、フォトリソグラフィー工程およびエッチング工程にて所定の形状に加工した。

【0019】つぎに、多結晶シリコン層2の表面を熱酸化して700Åのマスクトロークの膜厚のゲート酸化膜3を形成した。ゲート酸化膜3上に2重の膜構造を有するゲート配線を以下の方法で形成した。まず、ゲート酸化膜3と接する下層膜4に電気的不純物としてシリコンを $1 \times 10^{19} \text{ cm}^{-3}$ 含む多結晶シリコンを1500Åのマスクトロークの膜厚に形成し、その上に上層膜5として、タングステンワイヤ（W丝）を2500Åのマスクトロークの膜厚に形成した。つぎに、エッチングガスとしてSF<sub>6</sub>、Cl<sub>2</sub>を使用するRIE (Reaction Ion Etching) 工程により、上層膜のエッチング速度と下層膜のエッチング速度の違いを利用して下層膜4が上層膜5よりも1~2μm大きめ張り出すように形成したゲート配線が得

られた。このゲート配線の下層のシート抵抗は3Ω/□程度であるが、上層はシリコンの金属化合物であるためシート抵抗は5Ω/□程度である。したがって、2重構造配線の抵抗は低い抵抗で決まるため、本実施例のゲート配線は低抵抗ゲート電極となる。

【0020】このゲート配線をマスクにして、ソース、ドレイン形成のためのイオン打ち込みを行う。図1に示す7-aの部分の電荷濃度は、初期に決めた打ち込み量である(5~100)×10<sup>12</sup>cm<sup>-3</sup>となるようにイオン打ち込み装置でリン(P)を打ち込んだ。そして、張り出し部分6の真下である7-bの部分の電荷濃度は、1×10<sup>17</sup>cm<sup>-3</sup>程度となるようにイオン打ち込み装置の加速エネルギーを調整した。その結果、図1に示すように、ゲートのない部分7-aでは、従来通りの濃度のイオンの打ち込みが行われ、ソース、ドレインが形成され、ゲートが2重になっている部分7-bでは、イオンは打ち込まれない、張り出し部分6の真下である7-bの部分ではその中間濃度のイオンが打ち込まれて電気的不純物の分布を有する薄膜トランジスターガateが得られた。

【0021】本実施例の薄膜トランジスターにおいては、ゲート電極が2重構造になっている部分は、完全にマスクされているため電気的不純物は打ち込まれない。そのため、薄膜トランジスターのソース、ドレインの近傍の電荷分布は、ほぼ0から急激に立ち上がる上なく、いったん中間状態を経ることになる。

【0022】その後、図2に示すように、第1層間絶縁膜8を形成し、その膜の一部をコントラクトホールとして開口し、その部分で金属配線9(アルミニウム(A-1))と、薄膜トランジスターの各端子とを接触させる。さらに、第2層間絶縁膜10を形成し、コンタクトホールを形成する。そこを介して、透明電極11を形成し画素の電極とする。この基板を薄膜トランジスターアレイ基板12と称する。この基板12を対向基板13とを合わせ、そのギャップ部に液晶14を注入し、液晶セルを構成する。そして、外装アセンブリ15を形成して図3に示す液晶表示装置とする。

【0023】このようにして得られた液晶表示装置のn型薄膜トランジスターの特性を図4に示す。図4(a)は本実施例に係わるn型薄膜トランジスターの特性であり、図4(b)はLCD構造にならない従来例の特性である。これらの特性で特徴的なのは、ゲート電圧が負の領域の特性である。図4(a)より、従来例においては、ゲート電圧が負の領域で、ドレイン電流が大きめ上がり、非常に大きな値となっている。一方、図4(b)の本実施例においては、ゲート電圧が変化してもドレイン電流は、ゲート電圧0Vの値とほぼ変わらず変化することはない。

【0024】本実施例の第1の効果は、製造工程を従来の工程より減少できることである。すなわち、エッチング

シートの違いを応用した一度のエッチングで、ゲート電極の端部に階段状の張り出し部を形成することができ、このゲート電極をマスクにして一度のイオン打ち込みにより、LCD構造とすることが可能である。従来はLCD構造を得るために2度のイオン打ち込みを行っていた。

【0025】本実施例の第2の効果は、一度のイオン打ち込みにより作製したLCD構造においても、液晶表示装置に必要な薄膜トランジスターの優れた特性が得られることである。すなわち、ドレインドリーフ電流がゲート電圧0Vの値とほぼ変わらず小さくすることができる。

【0026】本実施例の第3の効果は、ゲート配線を低抵抗線と2重にすることによって、ゲート遅延のないことである。

【0027】以上の効果により、大型基板で、100万個クラスの多数の画素を高速で動作して薄膜トランジスターのドリーフ電流が小さいため液晶表示装置の画質に影響をあたえることはない。

【0028】

【発明の効果】本発明の薄膜トランジスターアレイ基板を少なくとも有する液晶表示装置は、多結晶シリコン薄膜トランジスターが2層構造からなるゲート電極を有し、ゲート電極の直下領域における多結晶シリコン層の電荷濃度が、チャネル領域と、ソース、ドレイン領域の中間濃度であるため、低抵抗ゲート電極をもち、低ドリーフ電流である薄膜トランジスターアレイ基板を有する液晶表示装置を単純な製造工程で得ることができる。このため、液晶表示装置の生産効率を高めることができる。また、画素数を増やし、それらを高速で動作させることのできるため、高画質の液晶表示装置が得られる。

【図面の簡単な説明】

【図1】本実施例の液晶表示装置に使用した薄膜トランジスターのゲート部分の断面図である。

【図2】本実施例の液晶表示装置に使用した薄膜トランジスターの断面図である。

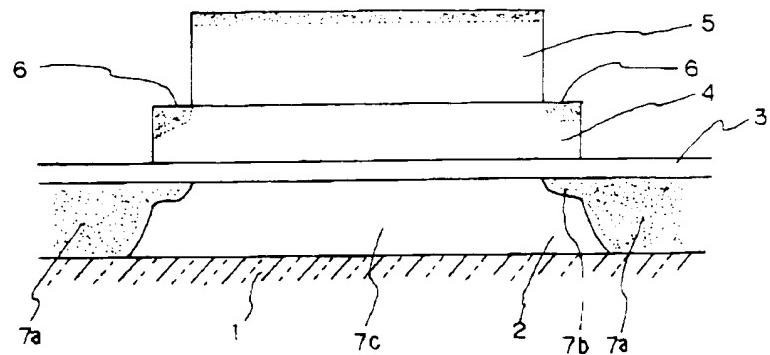
【図3】本実施例の液晶表示装置を示す図である。

【図4】本実施例の液晶表示装置に使用した薄膜トランジスターの特性を示す図である。

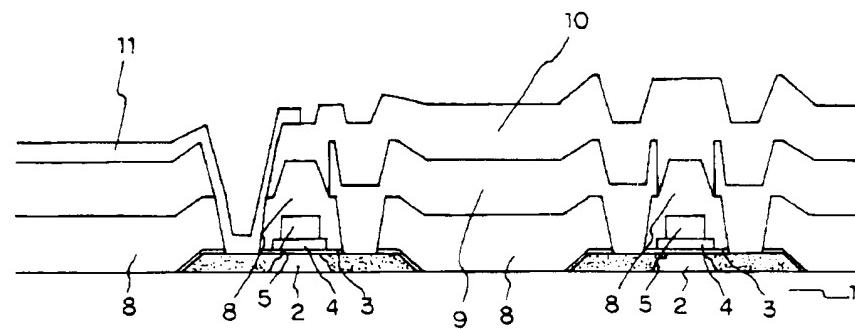
【符号の説明】

1……石英基板、2……活性層、3……ゲート酸化膜、4……下層膜、5……上層膜、6……張り出し部分、7-a……ゲートのない部分、7-b……張り出し部分の真下の部分、7-c……ゲートが2重になっている部分、8……第1層間絶縁膜、9……金属配線、10……第2層間絶縁膜、11……透明電極、12……薄膜トランジスターアレイ基板、13……対向基板、14……液晶、15……外装アセンブリ。

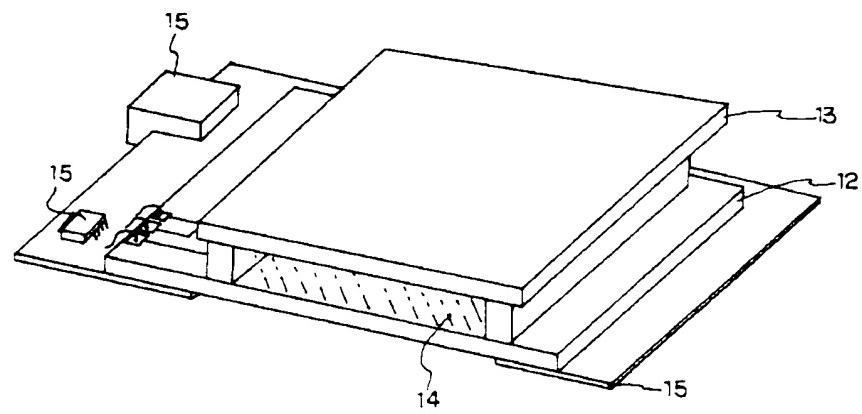
【図1】



【図2】



【図3】



【図+】

